

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-077431

(43)Date of publication of application : 23.03.2001

(51)Int.Cl.

H01L 33/00
B41J 2/44
B41J 2/45
B41J 2/455

(21)Application number : 11-249948

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 03.09.1999

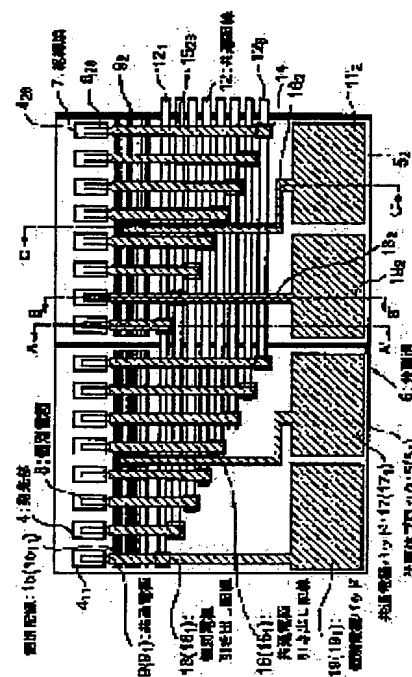
(72)Inventor : HAMANO HIROSHI
OGIWARA MITSUHIKO
YANAKA MASUMI

(54) LIGHT-EMITTING ELEMENT ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a light-emitting element array which can drive light-emitting elements in a semiconductor block at a uniform drive power and a low drive voltage and reduces the width of a light-emitting element array chip sufficient to increase the number of chips taken from a wafer.

SOLUTION: A common electrode 9 is disposed approximately in parallel and near the array of light-emitting parts 4, resulting in that the distances from the light-emitting parts 4 to the common electrode 9 about all light-emitting elements are equal and short. This allows the voltage drop due to a substrate resistance to be small and hence the drive voltage of the light-emitting element to be low. The common electrode 9 is disposed at the same one side as a common wiring 12, individual wirings 15, leading wirings 16, 18 and electrode pads 17, 19. This enables the array chip width to be made small and the production quantity of chips per wafer to be increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int. Cl. ⁷

識別記号

F I

テマコード (参考)

H01L 33/00

H01L 33/00

N 2C162

B41J 2/44

B41J 3/21

L 5F041

2/45

2/455

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平11-249948

(22) 出願日 平成11年9月3日 (1999.9.3)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 浜野 広

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 荻原 光彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100089093

弁理士 大西 健治

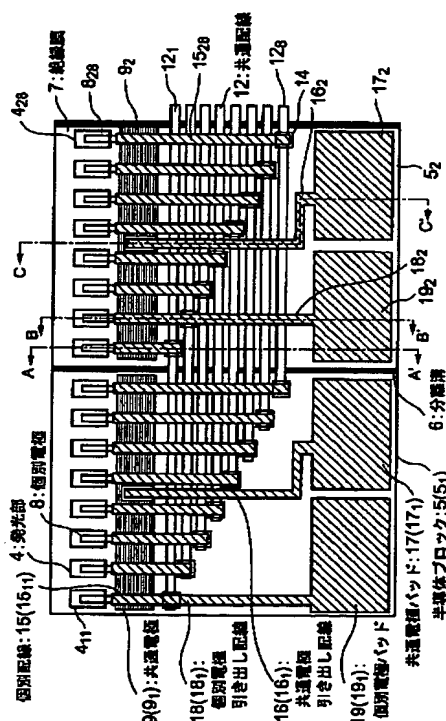
最終頁に続く

(54) 【発明の名称】 発光素子アレイ

(57) 【要約】

【課題】 駆動電圧が小さく、半導体ブロック内の発光素子に対して均一な駆動電力で駆動でき、また、発光素子アレイチップの幅を細くし、ウェハから取れるチップ数を増やすことができる発光素子アレイを提供する。

【解決手段】 共通電極9を、発光部4の並びに対し略平行にかつ近接して配置する。発光部4から共通電極9までの距離が全ての発光素子に対して同一で短距離となり、基板抵抗による電圧降下を小さくでき、発光素子の駆動電圧を小さくできる。また、共通電極9を、共通配線12、個別配線15、引出し配線16、18、及び電極パッド17、19と同じ片側に配置する。これにより、アレイチップ幅が細く、ウェハあたりのチップの生産量が増やすことができる。



本発明の第1の実施形態の発光素子アレイの平面図

【特許請求の範囲】

【請求項 1】 複数の発光部が電氣的に分離された各半導体ブロック中に 1 列状に配置して形成され、

当該各発光部の表面に設けられた各個別電極に個別配線を介して電氣的に接続された共通配線と、当該共通配線に個別電極引出し配線を介して電氣的に接続された個別電極パッドと、前記各半導体ブロック毎にその表面に設けられた共通電極に引出し配線を介して電氣的に接続された共通電極パッドとが、前記発光部の並びに対して同じ片側に配置された、マトリクス型の発光素子アレイにおいて、

前記共通電極が、発光部の並び方向に対し略平行に、かつ発光部に近接して設けられ、かつ、前記発光部の並びに対して、前記片側と同じ片側に配置されている、ことを特徴とする発光素子アレイ。

【請求項 2】 請求項 1 に記載の発光素子アレイにおいて、共通電極と共通配線との上に層間絶縁膜が形成しており、当該層間絶縁膜の上に、個別配線、個別電極引出し配線、および共通電極引出し配線とが形成されている、ことを特徴とする発光素子アレイ。

【請求項 3】 個別電極パッドと、当該個別電極パッドに接続される個別電極引出し配線と、および当該個別電極引出し配線に接続される個別配線とが一体的に形成されている、ことを特徴とする請求項 1 または 2 に記載の発光素子アレイ。

【請求項 4】 個別電極パッドと、当該個別電極パッドに接続される個別電極引出し配線と、当該個別電極引出し配線に接続される個別配線と、および当該個別配線に接続される個別電極とが、一体的に形成されている、ことを特徴とする請求項 1 または 2 に記載の発光素子アレイ。

【請求項 5】 共通配線の材料は、個別電極と同一材料である、ことを特徴とする請求項 1 または 2 に記載の発光素子アレイ。

【請求項 6】 共通配線の材料は、共通電極と同一材料である、ことを特徴とする請求項 1 または 2 に記載の発光素子アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光プリンタの光源等として使用する発光素子アレイに関するものである。

【0002】

【従来の技術】 光プリンタの光源として使用される発光素子アレイについては、例えば、文献：[「光プリンタ設計」 武木田義祐 監修、トリケブス、昭和60年10月31日] に解説されている。従来、この種の LED アレイは、その 124 頁に開示されているように、例えば、GaAs 基板上に成長させた n 型 GaAs P 層に Zn を拡散させることによって、発光部となる p 型拡散領域を 1 列状に形成した構成となっている。このような発光素子

アレイの構成において、発光素子の高密度化を達成するために、共通電極である n 型電極と個別電極である p 型電極とを共に表面側に設け、個別電極に対してマトリクス配線を施し、マトリクス駆動（時分割駆動）可能な構成とする発光素子アレイが提案されている。そして、多くの場合、個別電極の配線と共通電極とは発光部アレイの両側に分割して配置した構成としている。このような発光素子アレイの場合、複数の発光素子に対して、電極パッドを共通配線を通じて共有しているので、電極パッド数を低減でき、駆動 IC との接続を容易にすることができる。

【0003】

【発明が解決しようとする課題】 しかしながら、このような構成においては、IC 駆動回路と接続するための電極パッドも、発光部アレイの両側に配置する必要があり、発光素子アレイチップの幅が広がってしまう。したがって、本発明の目的は、駆動電圧が小さく、半導体ブロック内の発光素子に対して均一な駆動電圧で駆動できるマトリクス型の発光素子アレイを提供することにある、また、発光素子アレイチップの幅を細くし、ウェハーから取れるチップ数を増やすことによって、低価格な発光素子アレイチップを提供することにある。

【0004】

【課題を解決するための手段】 本発明は、複数の発光部が電氣的に分離された各半導体ブロック中に 1 列状に配置して形成され、各発光部の表面に設けられた各個別電極に個別配線を介して電氣的に接続された共通配線と、共通配線に個別電極引出し配線を介して電氣的に接続された個別電極パッドと、各半導体ブロック毎にその表面に設けられた共通電極に引出し配線を介して電氣的に接続された共通電極パッドとが、発光部の並びに対して同じ片側に配置された、マトリクス型の発光素子アレイに関する。請求項 1 の発明は、共通電極が、発光部の並び方向に対し略平行に、かつ発光部に近接して設けられ、かつ、発光部の並びに対して、共通配線や電極パッドと同じ片側に配置されている、ことを特徴とする。

【0005】 この構成において、個別電極用電極パッドとそれに接続された引出し配線及び個別配線とは、同一材料からなり且つ一体的に形成することができる。また、個別電極と個別配線とは同一材料からなり且つ一体的に形成することができる。また、共通配線は、個別電極および共通電極の一方と同一材料で構成することができる。請求項 1 の発明によれば、共通電極を発光部の近くに配置してあるので、発光部から共通電極までの距離が短く、電圧降下を小さくでき、駆動電圧を小さくすることができる。また、発光部の並び方向に対し、略平行に共通電極が設置されているので、各発光素子に対する駆動電圧が均一化されるというメリットがある。また、電極パッドが発光部アレイの片側に配置してあるため、素子アレイチップ幅が細く、ウェハーから取れるチップ

数を増やすことができるので、低価格な発光素子アレイを得ることが可能となる。

【0006】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1～図6を用いて説明する。図1は本発明の第1の実施の形態の発光素子アレイを示す要部平面図、図2は要部断面図であって図2(A)は図1のA-A'線における断面図、図2(B)は図1のB-B'線における断面図、図2(C)は図1のC-C'線における断面図、図3～図6は製造工程を説明するための平面図であり、1は半導体基板であって半絶縁性のGaAs基板2とn型半導体層3からなるもの、4は発光部、5は半導体ブロック、6は分離溝、7は表面絶縁膜、8は個別電極、9は共通電極、10、11は表面絶縁膜7の開口、12は共通配線、13は層間絶縁膜、14はコンタクト穴、15は個別配線、16は共通電極引出し配線、17は電極パッド、18は個別電極引出し配線、19は電極パッドである。なお、この実施形態は、64ドット(単位)からなる発光素子アレイであるが、図は16ドット分について示している。

【0007】この実施形態の発光素子アレイの構成を、製造工程に沿って説明する。まず、1列状の発光部を形成する。すなわち、図2に示すよう半絶縁性GaAs基板2上にn型半導体層3をエピタキシャル成長させた半導体基板1を用い、1列状に開けた拡散マスクの開口から、Znを拡散させることにより、p型拡散領域の発光部4を形成する。次に、図3に示すように、所定数(図では8個)の発光部毎に電気的に分離するために、半導体基板1に電気的に分離された半導体ブロック5を形成する。半導体ブロック5の形成は、n型半導体層3に分離溝6を形成することによって行い、半絶縁性基板2内まで到達するエッチングで形成する。例えば、過水りん酸系のエッチャントを用いたウェットエッチングによってエッチングをする。

【0008】次に、図4に示すように、全面に表面絶縁膜7を形成した後、発光部4へオーミック接続をとるためのp型コンタクト電極である個別電極8を形成する。個別電極8は、図2に示すように表面絶縁膜7の開口10を介して形成され、発光部4であるp型半導体領域にのみコンタクトがとられる。次に、同じく図4に示すように、n型コンタクト電極である共通電極9を、発光部4の並び方向と略平行に帯状に形成する。共通電極9は、表面絶縁膜7の開口11を介してn型半導体層2にオーミック接続する。さらに、マトリクス配線のための共通配線12を、複数(この実施形態では8個)の半導体ブロック5に跨って、発光部4の並び方向と略平行に形成する。なお、この実施形態では、共通配線12の材料を共通電極9と同じ材料とし、同時に形成している。他方、共通配線12は、その材料を個別電極8と同じ材料とし、個別電極8と同時に形成することもできる。

【0009】次に、図5に示すように、層間絶縁膜13を形成し、その後、マトリクス配線のために共通配線12と後述の個別配線15とを接続するためのコンタクト穴14(14-1)、個別電極8と個別配線15とを接続するためのコンタクト穴14(14-2)、さらに、共通電極9と後述の共通電極引出し配線16とを接続するためのコンタクト穴14(14-3)を形成する。次に、図6に示すように、共通電極9に接続される共通電極引出し配線16、及びそれに接続される共通電極パッド17を形成する。また、個別電極8に接続される個別配線15、それに接続される個別電極引出し配線18、及びそれに接続される電極パッド19を形成する。ここで、これらの配線15、16、18及び電極パッド17、19に同一材料を用い、同時に形成した。

【0010】以上の製造工程によって、図1及び図2に示すように、発光部4(411～428)が、電気的に分離された各半導体ブロック5(51、52)中に1列状に配置して形成され、個別電極8(811～828)が、当該各発光部4の表面に設けられ、且つ、共通電極9(91、92)が、前記各半導体ブロック5毎にその表面に、発光部4に近接し且つその並び方向に対し略平行に配置して設けられた、発光素子アレイが作成される。この実施形態の発光素子アレイは、図1及び図2に示すように、共通配線12(121～128)が全ての半導体ブロック5(51、52)に跨ってその表面絶縁膜7上に、発光部4の並び方向と略平行に且つ共通電極9側に配置して設けられている。また、これら共通配線12及び前記共通電極9を覆って層間絶縁膜が設けられ、この層間絶縁膜13上に、個別配線15(1511～1528)、引出し配線16(161、162)、18(181、182)、及び電極パッド17(171、172)、19(191、192)が設けられ、層間絶縁膜13のコンタクト穴14を介して、マトリクス配線のための個別配線15と共通配線12とが接続され、さらに、共通電極9とその引出し配線16とが接続されている。個別配線15(1511～1528)と共通配線12(121～128)との接続は非重複的に行う。従って、通常のマトリクス駆動により、所望の発光部を点灯させることができる。例えば、発光部411を点灯する場合、各ブロックの1番目の発光部411が接続されている個別電極パッド191と、その発光部411が設置されている半導体ブロック51の共通電極パッド171とを選択し、順方向電流を流せばよい。この実施形態によれば、共通電極の配置を発光部の並び方向に対し、略平行にかつ近接して配置してあるので、発光部からnコンタクト(共通電極)までの距離が全ての発光部に対して同一であり、しかも距離が短いので、基板抵抗による電圧降下を小さくできる。したがって、発光素子の駆動電圧を小さく、均一化することができる。さらに、電極パッドを共通電極を設置した片側に設置してあるので、アレイチップ幅が細く、ウェハーあたりの

チップの生産量が増え、安価なマトリクス型発光素子アレイを得ることができる。

【0011】図7は、本発明の第2の実施の形態を示す発光素子アレイの平面図である。この実施形態は、第1の実施形態とほぼ同じ構造であるが、個別電極8の製造工程において相違する。この実施形態では、共通電極5、共通配線12、及び層間絶縁膜13を形成した後、個別電極8と、個別配線15、引出し配線16、18、及び電極パッド17、19とを同一材料とし、ここでは、Ti/Pt/Auを用い、同時に形成する。発光部4と個別配線15の接続は、表面絶縁膜7及び層間絶縁膜13にコンタクト穴を開け、そのコンタクト穴を介して行う。この工程によると、個別電極8と個別配線と15との間にコンタクト部分がないので、素子の信頼性がより向上するというメリットもある。さらに、共通電極9と共通配線12とを、同一材料で構成すれば、同時に形成することができ、製造工程がより簡易化される。

【0012】

【発明の効果】以上説明したように、共通電極の配置を発光部の並び方向に対し、略平行にかつ近接して配置してあるので、発光部から共通電極までの距離が全ての発光部に対して同一、かつ短距離であるので、基板抵抗による電圧降下を小さくできる。したがって、発光素子の駆動電圧を小さく、均一化することができる。さらに、電極パッドを共通電極を設置した片側に設置してあるので、アレイチップ幅が細く、ウェハあたりのチップの生産量が増え、安価な発光素子アレイを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の発光素子アレイを示す要部平面図

【図2】図1の発光素子アレイの要部断面図であって図

2(A)は図1のA-A'線における断面図、図2

(B)は図1のB-B'線における断面図、図2(C)

は図1のC-C'線における断面図

【図3】図1の発光素子アレイの製造工程を説明するための平面図

【図4】図1の発光素子アレイの製造工程を説明するための平面図

【図5】図1の発光素子アレイの製造工程を説明するための平面図

【図6】図1の発光素子アレイの製造工程を説明するための平面図

【図7】本発明の第2の実施の形態の発光素子アレイを示す要部平面図

【符号の説明】

- | | |
|--------|-------------------|
| 1 | 半導体基板 |
| 2 | 半絶縁性GaAs基板、半絶縁性基板 |
| 3 | n型半導体層 |
| 4 | 発光部 |
| 5 | 半導体ブロック |
| 6 | 分離溝 |
| 7 | 表面絶縁膜 |
| 8 | 個別電極 |
| 9 | 共通電極 |
| 10, 11 | 開口 |
| 12 | 共通配線 |
| 13 | 層間絶縁膜 |
| 14 | コンタクト穴 |
| 15 | 個別配線 |
| 16 | 引出し配線 |
| 17 | 電極パッド |
| 18 | 引出し配線 |
| 19 | 電極パッド |

【図3】

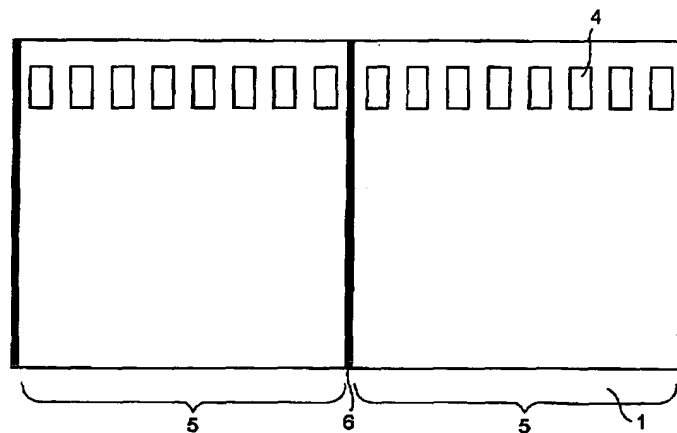
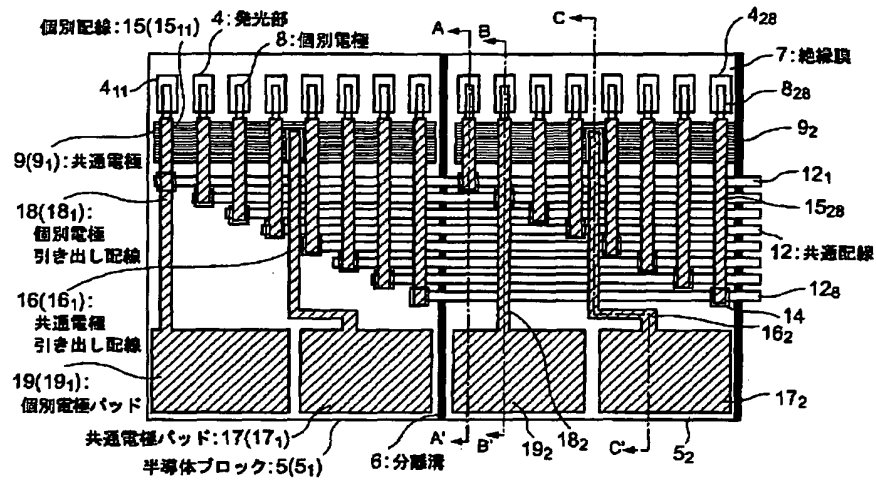


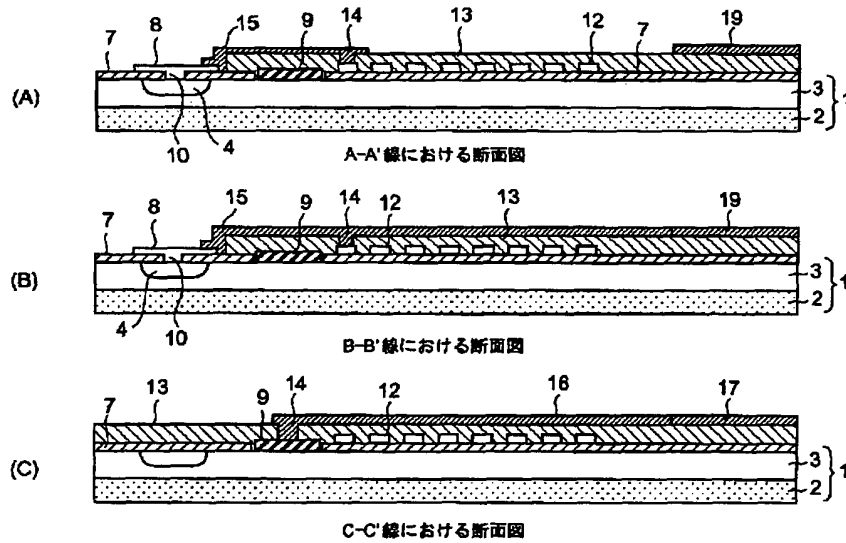
図2-1 本発明の発光素子アレイの製造工程(1)

【図 1】

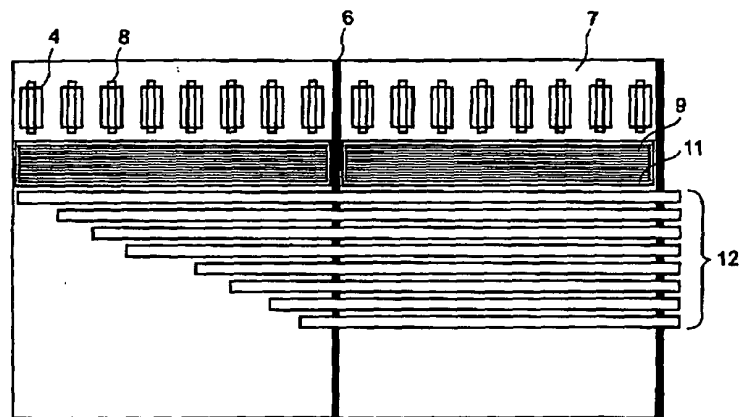


本発明の第1の実施形態発光素子アレイの平面図

【図 2】

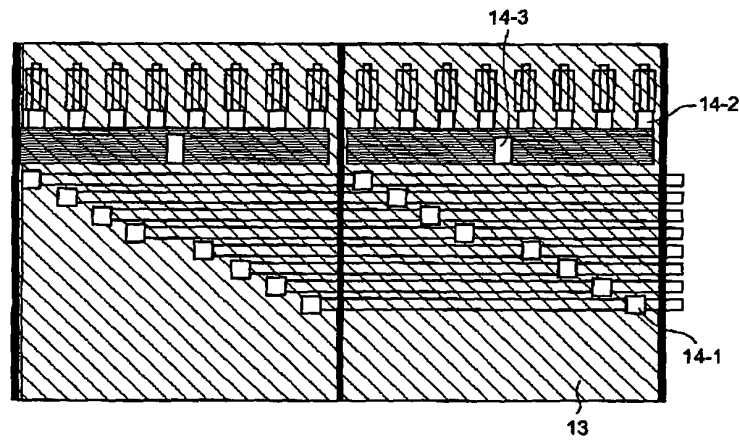


【図 4】



本発明の発光素子アレイの製造工程

【図 5】



本発明の発光素子アレイの製造工程

